



一种全数字 QPSK 解调器的 Matlab 仿真及设计

摘要

QPSK 作为一种抑制载波的抗干扰能力较强的四相移键控调制方式,被广泛应用于无线卫星通信中.同步(载波同步和符号同步)是解调过程中最核心的问题之一.采用基于软件无线电的思想,把尽可能多的通信功能用可升级、可替换的软件来实现.载波同步采用数字 Costas 环的方式,符号同步采用模平方谱线估计法来完成,并通过 Matlab 仿真验证结果的可行性.将仿真获得的参数结合硬件平台,最终在工程上实现了一款基于 FPGA(现场可编程逻辑门阵列)的气象卫星解调器的设计.

关键词

四相相移键控信号(QPSK);载波同步;符号同步;现场可编程逻辑门阵列(FPGA)

中图分类号 TN913.3

文献标志码 A

收稿日期 2011-07-30

作者简介

刘思源,男,硕士生,主要研究通信信号处理. lsyuan@yeah.net

陈建军(通信作者),男,研究员,硕士生导师,主要研究信号处理在 FPGA 上的应用实现. cjj81@vip.163.com

¹ 南京信息工程大学 电子与信息工程学院, 南京,210044

² 南京船舶雷达研究所,南京,210003

0 引言

QPSK(Quadrature Phase Shift Keying)作为无线通信中常用的调制方式,具有很强的抗干扰能力,但 QPSK 调制是抑制载波信号的调制方式,无法通过线性处理直接提取载波的相位信息^[1].为了恢复已经被抑制的载波信号,只能通过非线性处理方式(相干解调)消除信号中的调制信息,从而提取出载波相位信息(载波同步过程).同时,由于无线信号接收端和发送端不仅存在传播延迟,而且收发端的晶振时钟也不可能完全一致,如果直接使用接收端的时钟对信号进行采样,将会造成严重的误码,所以要从接收的信号中提取发送端的时钟信息,使它与接收到的数字符号速率同步,才能得到最佳的采样信息,这就是符号同步的过程.随着软件无线电技术、数字信号处理技术与超大规模集成电路的发展,已由模拟时代进入数字时代.相对于以前常用的 DSP(Digital Signal Processing)处理芯片,FPGA(Field Programmable Gate Array)芯片作为一种超大规模的可编程数字器件,具有更高速、更高效率的处理能力,可为用户提供全定制方案,同时又具有很好的可移植性^[2].本文将 FPGA 芯片与 QPSK 信号解调过程结合起来,实现一种新的硬件平台解调方式.通过将 FPGA 内部数字信号处理过程进行 Matlab 仿真,得到同步环节输出结果,并且给出了该方案相关参数和误码率性能指标.该指标可以满足实际解调需要,最终在 FPGA 上实现了一款中频 137.5 MHz 的 QPSK 调制信号的解调.

1 解调的设计与实现

解调器接收的是中频模拟调制信号,需要经过 AD 采样后才能得到数字信号.AD 采样是中频带通采样,根据软件无线电的理论^[3]可知,当采样频率为 f_s 、中频信号频率为 f_0 时,需要满足下面的关系式,就可以不失真地恢复出调制信号:

$$f_0 = (2n + 1) \frac{f_s}{4}, \quad (1)$$

其中 n 是整数, f_s 要满足 Nyquist(奈奎斯特)采样要求,即 $f_s \geq 2B$, B 为中频信号的带宽.采样后的信号进入 FPGA 中进行数字信号处理,也就是 QPSK 信号的解调的过程.本文所实现的是通过 Matlab,仿真 FPGA 中信号处理的过程.图 1 是解调原理框图,其中虚线部分为载波同步模块.

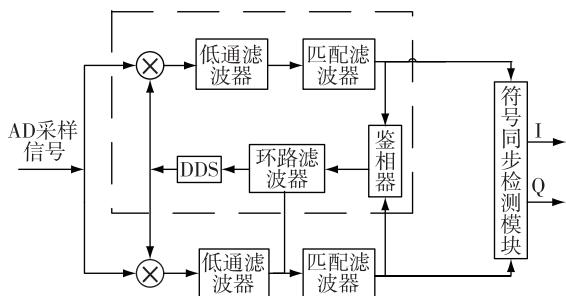


图1 QPSK解调原理框图(虚线为Costas环)

Fig. 1 Block diagram of QPSK demodulation

1.1 载波同步

发送端和接收端的载波不同步主要原因是:任何2个独立的本地晶振都不是完全同步的,即便发射机和接收机使用的2个独立振荡器是同步的,电磁波在信道中传播也会引起对接收机来说是未知的相位变化,所以进行载波同步的目的即是要在接收端建立一个与发送信号同频同相的本地载波.本文采用的是数字 Costas 锁相环的方法,又称同相正交环法.该环具有反馈结构,能够实时调节载波相位信息,具有很强的抗干扰能力.Costas 环分为下面几个部分.

1.1.1 数控振荡器

数控振荡器采用直接数字式合成技术(DDS)的三角函数发生器,其主要作用是在 FPGA 的信号处理过程中产生本地的载波频率.系统时钟频率 f_{clk} 、DDS 中相位累加器的位数 N 及频率控制字 K ,与输出频率 f_{out} 需要满足下面的关系式^[4]:

$$f_{out} = \frac{f_{clk} \cdot K}{2^N}. \quad (2)$$

在实际的 FPGA 系统中,DDS 可以直接由 Xilinx (赛灵思)公司提供的 IP 核来实现,产生两路本地载波信号.通过频率控制字 K ,不断调节载波输出频率,当本地输出的载波频率与接收的调制信号同频同相时, K 为很小波动的稳定跳变值.

1.1.2 混频器

经过 AD 采样后的中频模拟信号,量化为 10 位数字信号,将该数字信号送入 FPGA 中进行信号解调.混频器的作用是将调制信号的频谱搬移至基带.设输入的抑制载波双边带数字信号为:

$$s(n) = d_I(n) \cos(\omega_c n) + d_Q(n) \sin(\omega_c n), \quad (3)$$

其中 $d_I(n)$, $d_Q(n)$ 是相互正交的两路信号的幅度值.假定环路已经锁定,且不考虑噪声的影响,则 DDS 输出的两路相互正交的本地载波分别为

$$v_1 = \cos(\omega_c n + \theta), \quad v_2 = \sin(\omega_c n + \theta), \quad (4)$$

式中, ω_c 是调制信号载波频率, θ 为 DDS 输出信号与输入已调信号载波之间的相位误差,通常是个极小的值,即 $\theta \rightarrow 0$, 则经过混频即信号 $s(n)$ 分别于 v_1 , v_2 相乘后得到两路混频信号:

$$\begin{aligned} v_3 &= \frac{1}{2} d_I(n) [\cos(2\omega_c n + \theta) + \cos \theta] + \\ &\quad \frac{1}{2} d_Q(n) [\sin(2\omega_c n + \theta) - \sin \theta], \\ v_4 &= \frac{1}{2} d_I(n) [\sin(2\omega_c n + \theta) + \sin \theta] - \\ &\quad \frac{1}{2} d_Q(n) [\cos(2\omega_c n + \theta) - \cos \theta]. \end{aligned} \quad (5)$$

1.1.3 滤波器

滤波器包括低通滤波器和匹配滤波器^[5].从混频器送出来的信号可以看出包含高频分量 $2\omega_c$, 经过低通滤波器滤除高频分量,在经过匹配滤波以后,得到:

$$\begin{aligned} v_5 &= \frac{1}{2} (d_I(n) \cos \theta - d_Q(n) \sin \theta), \\ v_6 &= \frac{1}{2} (d_I(n) \sin \theta + d_Q(n) \cos \theta). \end{aligned} \quad (6)$$

实际系统在调制端有平方根升余弦成型滤波器,那么在接收端需要经过平方根升余弦匹配滤波以后,这2个滤波器可以构成最佳基带传输系统,能够在一定程度上消除码间串扰.由于匹配滤波器的低通特性,同时也能够滤除带外噪声和基带信号的谐波分,经过匹配滤波以后通过前向时钟恢复单元估计时钟相位,通过相应的插值算法得到最佳采样点,来完成符号同步的过程.

1.1.4 鉴相器

相位误差信号实际上就是鉴相器^[6-7]的输出,其大小反映了环路跟踪相位的程度,其驱动环路工作时必须使该误差信号的绝对值有进一步减小的趋势,提取误差的公式为

$$\theta = I \cdot \text{sign}(Q) - Q \cdot \text{sign}(I), \quad (6)$$

I 、 Q 分别为经过匹配滤波后输出的两路基带信号 v_5 、 v_6 , 代入式(6), 利用 $\theta \rightarrow 0$, 得出

$$\theta = - (d_I(n)^2 + d_Q(n)^2) \sin \theta. \quad (7)$$

1.1.5 环路滤波器

在数字 Costas 环中,环路滤波器为数字滤波器,跟模拟锁相环中的模拟滤波器相对应.二阶数字环路滤波器在直流增益为无穷大并且频偏为常数的情况下,可以实现零稳态相位误差和频率误差.基于这一特性,本文选择的是二阶无源比例积分滤波器^[1].

其传递函数为

$$F(s) = \frac{\tau_2 s + 1}{s\tau_1}, \quad (8)$$

经双线性变换得到数字域表示形式:

$$F(z) = C_1 + \frac{C_2}{1 - z^{-1}} = \frac{(C_1 + C_2) - C_1 z^{-1}}{1 - z^{-1}}, \quad (9)$$

其中 $C_1 = \frac{\tau_2}{\tau_1} - \frac{T}{2\tau_1}$, $C_2 = \frac{T}{\tau_1}$, T 为采样间隔. 环路滤波器的选取是载波同步中影响系统性能的重要环节. 环路滤波器的主要作用不仅在环路中对输入的噪声起抑制作用, 而且对环路的校正速度起到调节作用. 二阶环路滤波器的结构如图 2 所示, 其中 z^{-1} 为延迟环节, c_1 、 c_2 为环路滤波器的系数.

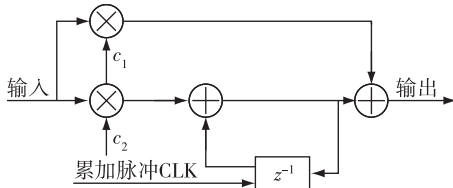


图 2 环路滤波器
Fig. 2 Loop filter

$$c_1 = \frac{1}{K_0 K_d} \cdot \frac{8\xi\omega_n T}{4 + 4\xi\omega_n T + (\omega_n T)^2}, \quad (10)$$

$$c_2 = \frac{1}{K_0 K_d} \cdot \frac{4(\omega_n T)^2}{4 + 4\xi\omega_n T + (\omega_n T)^2},$$

式(10)为环路滤波器系数的计算公式, 其中 $K_d = 2\sqrt{I^2 + Q^2}$ ^[11], I 、 Q 分别是匹配滤波后输出的两路相互正交的数据 v_5 和 v_6 , $K_0 = \frac{2\pi f_s}{2^N}$, N 为累加器的位数, f_s 为 DDS 的采样频率, T 为 DDS 的相位校正周期, ξ 是阻尼系数, 本文取 $\xi = 0.707$, ω_n 是自然角频率, $\omega_n = \frac{2B_L \xi}{\xi^2 + 0.25}$, B_L 为等效噪声带宽, B_L 的选取要根据系统的实际情况适量的调整.

因为 $4\xi\omega_n T + (\omega_n T)^2 \ll 4$, 因此可以将上述系数进行简化计算:

$$c_1 = \frac{2\xi\omega_n T}{K_0 K_d}, \quad c_2 = \frac{(\omega_n T)^2}{K_0 K_d}. \quad (11)$$

1.2 符号同步

模平方谱线分析法是一种前馈算法, 该算法适合各种无偏移相位幅度调制信号, 多适用于突发通信. 前馈算法具有快速捕获以及传输效率高的性能,

经 Matlab 仿真验证, 实际情况误码率也可以满足要求. 先对匹配滤波器输出信号 $s(k)$ 进行平方非线性操作, 然后在每个长为 $L \times T$ 的观测间隔内 (L 是观察的符号长度) 通过 DFT 运算得到符号速率 $1/T$ 处的频谱分量, 再经过反正切变换, 提取出定时误差 τ :

$$\tau = -\frac{1}{2\pi} \arg \left(\sum_{k=mLN}^{(m+1)LN-1} |s(k)|^2 \cdot e^{-j \cdot 2\pi \frac{k}{N}} \right). \quad (9)$$

在实际的系统中, 过采样率 N 取 4 的整数倍, 可以简化计算量, 降低了系统的复杂性. 该算法对载波相位和频偏不敏感, 可以先于载波同步. 提取出定时误差, 控制内插滤波器得到最佳采样点, 内插滤波器就是从输入的异步采样信号中得到最佳的采样点. 该算法详细证明可见参考文献[8].

2 仿真与性能分析

仿真条件如下: 调制信号载波的中心频率为 137.53 MHz, 本地 DDS 初始产生的本地载波频率为 137.50 MHz, 符号速率为 4.8 Mbps, 采样频率取符号速率的 12 倍, 过采样率取 4 的整数倍, 以方便进行符号同步算法的仿真, 本系统最大的捕获频偏为 ± 38 kHz, 在信道中加入高斯白噪声, 并且在传输的信道中给调制信号加入随机的相位延迟. 鉴相器、环路滤波器的相位误差输出分别如图 3、4 所示.

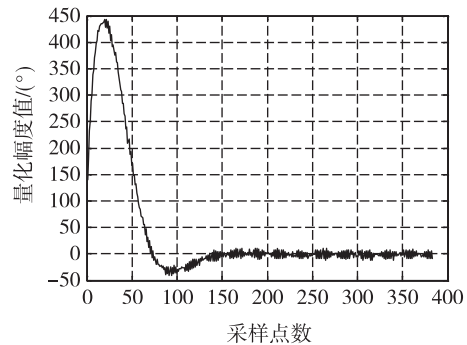


图 3 鉴相器的输出结果
Fig. 3 Output result of phase discriminator

从图 3 中可以看出, 在经过 150 个采样点以后, 整个环路鉴相器的输出在零相位上下波动, 整个环路完成了锁定.

从图 4 中可以看出, 环路滤波器的输出结果在经历 150 个采样点以后最终趋近稳定, 同鉴相器的输出同步, 环路输出稳定, 即 DDS 输出了稳定的本地载波频率, 实现了载波同步的捕获.

在图 5 中, QPSK 调制是四相移键控的信号, 采

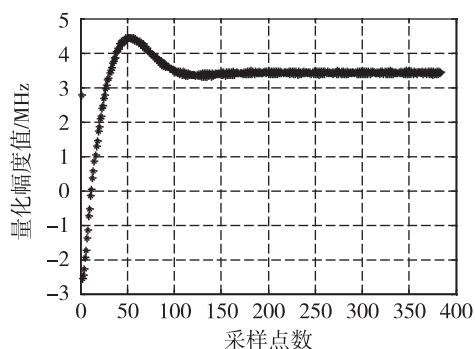


图4 环路滤波器的输出结果

Fig. 4 Output result of loop filter

用复数表达.图5中间有些离散的点,是因为还没有正确同步,而4个集中的点,是最终的输出结果,表明最终解调正确.

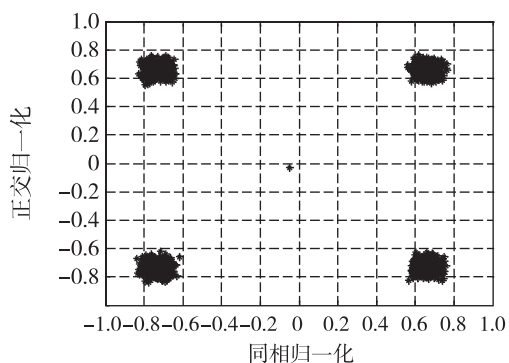


图5 解调后输出的结果

Fig. 5 Output result of demodulation

图6有2条曲线,虚线为本系统实际的误码率曲线,实线是在高斯白噪声信道下无信道编码的理想情况的误码率.可以看出随着信噪比的增加,误码率不断下降,在信噪比为13 dB时,实际系统误码率趋近 10^{-5} ,满足实际系统的误码率要求.

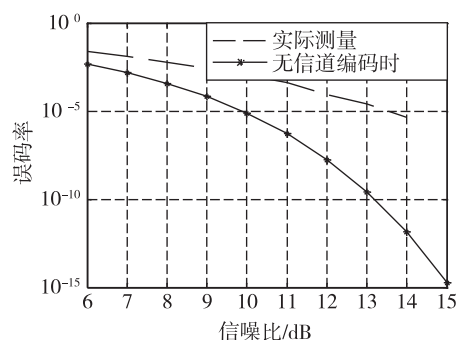


图6 误码率随信噪比变化曲线

Fig. 6 Variation curve of bit error rate changing with SNR

在具体的硬件实现中,先经过AD8331对经过抗混叠滤波后的中频信号进行放大,再送入AD9215对中频QPSK信号进行带通采样,采样后的数据直接送入Xilinx的XC5VLX30T中进行全数字化的QPSK解调过程.通过Matlab仿真不仅可以看到本文采用QPSK解调算法是否能满足实际要求,其中一些具体的参数也可以通过Matlab计算得出,从而在编写硬件语言的过程中,大大减少了程序调试时间.

3 结束语

本文采用了反馈形式的Costas环进行载波同步,能够实时对载波频偏进行调节,在符号同步中采用了前馈的方式,前馈最大优点是在较短时间就可以达到符号同步的过程,非常适合应用于突发通信中,但要求的过采样率比较高,增加了数据量,实例所采用的FPGA资源充足,完全可以满足运算要求.本仿真已通过系统仿真和实际应用,已对数据为4.8 Mbps的137.5 MHz中频调制信号进行了数字化的QPSK解调.

参考文献

References

- [1] 张欣.扩频通信数字基带信号处理算法及其VLSI实现[M].北京:科学出版社,2004
ZHANG Xin. Digital baseband signal processing algorithm and VLSI implementation of spread spectrum communications [M]. Beijing: Science Press, 2004
- [2] 田耘,徐文波,张延伟.无线通信FPGA设计[M].北京:电子工业出版社,2008
TIAN Yun, XU Wenbo, ZHANG Yanwei. The design of wireless communication FPGA [M]. Beijing: Publishing House of Electronics Industry, 2008
- [3] 杨小牛,楼才义,徐建良.软件无线电原理与应用[M].北京:电子工业出版社,2001
YANG Xiaoniu, LOU Caiyi, XU Jianliang. Software wireless theory and application [M]. Beijing: Publishing House of Electronics Industry, 2001
- [4] 王天权,冯全源,徐小文.基于状态机的QPSK全数字解调的实现[J].电路与系统学报,2010,15(5):18-21
WANG Tianquan, FENG Quanyuan, XU Xiaowen. Realization of QPSK full digital demodulation based on state machine [J]. Journal of Circuits and Systems, 2010, 15(5): 18-21
- [5] 西蒙·赫金.通信系统[M].4版.北京:电子工业出版社,2010
Simon Haykin. Communication systems [M]. 4th Ed. Beijing: Publishing House of Electronics Industry, 2010
- [6] Floyd M. Gardner 锁相环技术[M].北京:人民邮电出版社,2007
Floyd M. Gardner phase-locked techniques [M]. Beijing:

- Posts & Telecom Press, 2007
- [7] 高博,杨燕.基于 Matlab 的 QPSK 系统设计仿真[J].
科学技术与工程,2010,10(5):1124-1129
GAO Bo, YANG Yan. Design and simulation for QPSK
system based on Matlab[J].2010,10(5):1124-1129
- [8] Oerder M, Meyr H. Digital filter and square timing
recovery [J]. IEEE Transactions on Communications,
1988,36(5):605-612

Design and Matlab simulation of an all-digital QPSK demodulator

LIU Siyuan¹ CHEN Jianjun² ZHANG Xin¹

1 School of Electronic & Information Engineering, Nanjing University of Information Science & Technology, Nanjing 210044

2 Nanjing Marine Radar Institute, Nanjing 210003

Abstract As a modulation with relatively strong anti-interference capacity, quadrature phase shift keying(QPSK) has been extensively used in wireless satellite communication. This paper describes the Matlab simulation of QPSK demodulation, and designs an all-digital QPSK demodulation with FPGA. The core of demodulation is synchronization, which includes carrier synchronization and signal synchronization. The carrier synchronization is completed through numerical Costas loop, while signal synchronization through modulus square spectrum analysis, and the results are simulated on Matlab. The communication functions are implemented by upgradable or substitutable softwares as many as possible, based on the idea of software radio communication. The parameter values through Matlab simulation, combined with appropriate hardware system, technically realize the design of the proposed all-digital meteorological satellite demodulator based on FPGA.

Key words quadrature phase shift keying(QPSK); carrier synchronization; symbol synchronization; field programmable gate array(FPGA)