



基于 65-nm CMOS 工艺的 W 波段两路 电流合成型功率放大器的设计

摘要

采用三级差分共源结构设计了一种基于 65-nm CMOS 工艺的 W 波段功率放大器,并利用两路电流型功率合成结构进行功率合成以提升输出功率.为了同时实现单差分转换、阻抗匹配、直流供电,匹配网络采用变压器结构.仿真结果显示,在 1 V 的电源电压下,该功率放大器的小信号增益为 12.7~15.7 dB,3-dB 带宽为 84~104 GHz,饱和输出功率为 14.6 dBm,峰值功率附加效率为 9.7%.该功率放大器具有良好的大信号性能,且芯片的核心面积仅为 0.115 mm².

关键词

CMOS 工艺;功率放大器;功率合成;W 波段

中图分类号 TN43

文献标志码 A

收稿日期 2021-01-13

资助项目 国家自然科学基金(61931007,62025106);国家重点研发计划(2020YFB1805003)

作者简介

黄占秋,男,硕士生,主要从事硅基毫米波功率放大器方面的研究.710789790@qq.com

赵晨曦(通信作者),男,博士,副教授,研究方向包括射频 CMOS 器件建模、CMOS 射频收发机和毫米波应用的功率放大器设计.cxzhao@uestc.edu.cn

0 引言

近年来人们对高速率无线通信的需求日益提升,频率较低的频带范围(<10 GHz)被蓝牙、Wi-Fi、4G、5G 通信等应用占据,频谱资源已经消耗殆尽,而频率较高的毫米波频带范围具有充足的频谱资源,因此具有广泛的应用前景^[1-2].W 波段电磁波由于在大气中的衰减较小,且对云、雾、雨的穿透特性好,因此在全天候雷达系统中有着良好的应用背景^[3-4].在 W 波段的雷达系统中,功率放大器(Power Amplifier, PA)是一个十分关键的模块,其输出功率和效率直接决定了雷达系统的探测距离和功耗,因此设计高输出功率、高效率的功率放大器是一项十分必要的工作.通常 W 波段的功率放大器由基于 III-V 族的工艺实现,它具有高截止频率、高耐压的特性,因此能实现更高的增益和输出功率.但 III-V 族工艺不易与基于 CMOS 工艺的数字电路集成在一起,且生产成本高.CMOS 工艺的优点是集成度高、成本低,而近年来它的工艺节点已经来到了深亚微米级,器件的最大振荡频率(f_{\max})超过 200 GHz,因此非常适合毫米波相关应用,最近基于 CMOS 工艺的 PA 研究也越来越热门.2012 年, Tsai 等^[5]基于 65-nm CMOS 工艺设计出了工作在 W 波段、带宽为 27 GHz 的 PA,其饱和输出功率达到了 14.8 dBm;同年, Gu 等^[6]采用 65-nm CMOS 工艺设计出了一款工作在 101~107 GHz 的功率放大器,饱和输出功率(P_{sat})为 14.8 dBm,峰值功率附加效率(PAE)为 9.4%;2018 年, Vigilante 等^[7]采用 28-nm CMOS 工艺设计出了一款具有 AM-PM 失真补偿效果的超宽带 PA,其小信号 3-dB 带宽达到了 29~57 GHz,通过调节补偿偏压,可以将工作频带内的 AM-PM 失真控制在 1°以内,实现了很高的线性度;2019 年, El-Aassar 等^[8]采用 45-nm CMOS 工艺设计了一款 3-dB 带宽为 DC 到 108 GHz 的超宽带分布式 PA,采用堆叠式结构将 PA 的供电电压提升到 6.6 V,最终实现了 20.8 dBm 的线性输出功率.

为了实现高输出功率、高带宽以及高效率,本文采用 65-nm CMOS 工艺设计了一款工作在 W 波段的功率放大器,通过三级级联以提升 PA 的整体增益,采用两路功率合成来提升输出功率,所有匹配网络均采用变压器结构实现,以此来增大带宽及减小版图面积.仿真结果显示所设计 PA 的 3-dB 带宽达到了 20 GHz(84~104 GHz),小

1 电子科技大学 电子科学与工程学院,成都,611731

信号增益 12.7~15.7 dB, 饱和输出功率 14.6 dBm, 峰值功率附加效率(PAE)为 9.7%, 电路核心面积仅为 0.115 mm².

1 有源电路设计

PA 整体结构如图 1 所示, 采用了两路差分功率合成的架构, 通过三级基于中和电容的共源结构级联以实现高增益和稳定性. 级间匹配网络和输入、输出匹配网络均采用变压器实现, 大幅减小版图面积.

共源级是 PA 常用的一种电路结构, 其优点是输出端回波损耗会比较小, S_{22} 一般能做到 -10 dB 以下. 然而由于 CMOS 工艺不提供背孔, 因此其接地特性不好, 而差分结构天然具有“虚地”特性, 可以屏蔽掉芯片外围 bonding 线对电路性能的影响, 因此 CMOS 功率放大器多用差分结构实现^[9]. 图 1 显示所设计的 PA 有源电路采用差分共源结构. 差分结构除了具有接地特性良好的优点外, 还能将单端负载上的电压摆幅扩大为原来的两倍, 从而提升输出功率^[10]. MOS 管的栅漏寄生电容 C_{GD} 的存在会引入一个负反馈路径, 降低信号从栅极到漏极的增益及隔离度, 从而引起稳定性问题. C_{neu} 为中和电容, 将其交叉并接在差分 MOS 管的栅、漏极之间可以补偿 C_{GD} 产生的负反馈效应, 从而提升共源结构的增益和稳定性^[11].

图 2 为加入中和电容之后差分对的最大可用增

益(Max Gain)和稳定性随电容值的变化曲线, 它显示了适当容值的中和电容可以显著提升放大器的增益和稳定性, 但若容值超过此区间, 反而会降低稳定性. 为了应对工艺、电压和温度的波动, 电容容值的选取应留有足够的裕度, 因此对于图 2 中的情况, 容值选择为 35 fF 是一个比较好的选择, 在此容值上下波动 10% 时放大器依然是无条件稳定的.

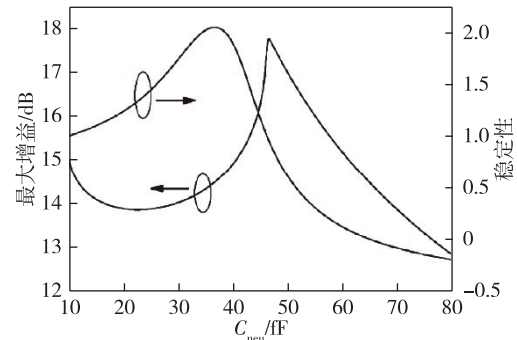


图 2 中和电容对电路增益和稳定性的影响
Fig. 2 Influence of capacitance neutralization on max gain and stability

为了获得较高的输出功率, 功放级单个 MOS 管的总栅宽选择为 96 μm , 而为了减小大尺寸晶体管的寄生带来的增益恶化, 往往需要将其划分为多个小尺寸晶体管的并联^[12], 因此这里将单个 96 μm 的 MOS 管替换为 2 个总栅宽为 48 μm 的 MOS 管并联,

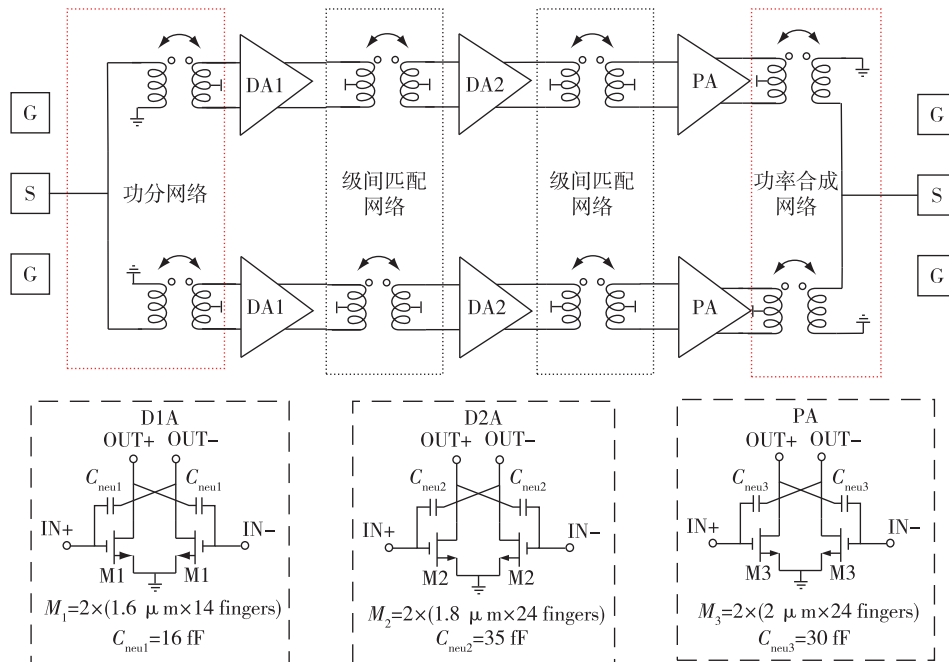


图 1 功率放大器原理图

Fig. 1 Schematic of the proposed PA

单指栅宽选择为 $2\ \mu\text{m}$, 指数为 24, 以此来获得单个 MOS 管的最佳性能. 第 2 驱动级 MOS 管选择 2 个管子并联, 每个管子有 24 fingers, 其单指栅宽为 $1.8\ \mu\text{m}$, 总栅宽为 $2 \times 1.8 \times 24 = 86.4\ \mu\text{m}$. 第 1 驱动级由于不需要提供高输出功率, 故选择 2 个管子并联, 每个管子有 14 fingers, 其单指栅宽为 $1.6\ \mu\text{m}$, 总栅宽为 $2 \times 1.6 \times 14 = 44.8\ \mu\text{m}$, 在节省功耗的同时提高增益.

2 无源电路设计

2.1 基于变压器的级间匹配网络的设计

由于硅基工艺往往提供多层金属, 例如 65-nm CMOS 工艺提供了 M1~M9 共 9 层金属用于走线, 这为变压器的使用提供了便利. 图 3 为采用 M8 和 M9 两层金属设计的一种变压器, 这两层为顶层金属, 具有最大的厚度和最低的电阻率, 因此无源损耗较低. 两层金属各自绕成一圈电感, 在空间上呈垂直堆叠的状态, 因此二者具有一定的电磁耦合, 形成了具有一定耦合系数的变压器结构, 初级线圈的能量可以通过电磁耦合传递到次级线圈. 对于差分电路来说, 变压器可以同时用来实现阻抗匹配和直流供电的作用^[13]. 线圈中心抽头处是天然的虚地点, 直流电压从该点馈入, 不会影响变压器的性能. 作为级间匹配网络使用时, 初、次级线圈各自的两个端口分别与前级的差分输出端口和后级的差分输入端口相连, 在阻隔直流信号的同时可以实现级间的阻抗匹配. 变压器的两种简化的等效电路也显示在了图 3 中, L_1 、 L_2 、 M 分别为初、次级线圈的电感量和互感量, M 与耦合系数 k 的关系为

$$k = \frac{M}{\sqrt{L_1 L_2}} \quad (1)$$

线圈的感量可以通过其尺寸大小进行相应调整, 耦合系数则由初、次级线圈的空间相对位置决

定. 通过选取合适变压器结构和尺寸, 可以得到所需的电感值和耦合系数, 从而实现阻抗变换, 达到阻抗匹配的效果. 此外, 由于变压器本身可以看作分布参数电路, 初、次级线圈之间以及线圈与地之间都存在寄生电容, 这些电容与线圈本身的电感形成一些高阶的 LC 谐振腔, 因此可以实现较高的匹配带宽.

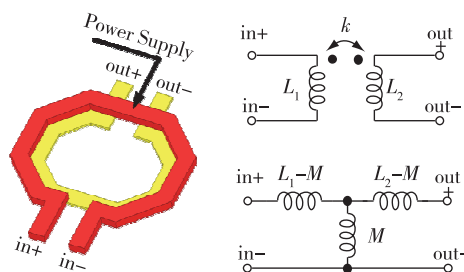


图 3 变压器 3D 模型及其两种等效电路

Fig. 3 The 3D model of the transformer and its equivalent circuits

2.2 基于变压器的功率分配、功率合成网络的设计

由于输入输出信号都是单端信号, 因此在输入和输出端口均需要巴伦进行信号的单-差分转换, 将变压器次级线圈的一端接地即可实现巴伦的作用. 以输入匹配网络为例, 单端信号馈入输入 PAD 后, 经传输线直接分为两路同相位的单端信号, 即实现了功率分配的作用. 由于功分后的两路信号是同相位的, 不存在隔离度的问题, 因此不需要采用威尔金森功分器结构进行功率分配. 单端信号经过巴伦转换成差分信号后被 MOS 管放大, 最后经结构相同的功率合成网络合成一路单端信号后传输到输出 PAD 上.

图 4 显示了功率放大器的输出端功率合成网络的 3D 模型图及其等效电路. 负载电阻为 $50\ \Omega$, C_{sg} 为信号 PAD 的对地电容. 末级一路 PA 需要的差分最佳

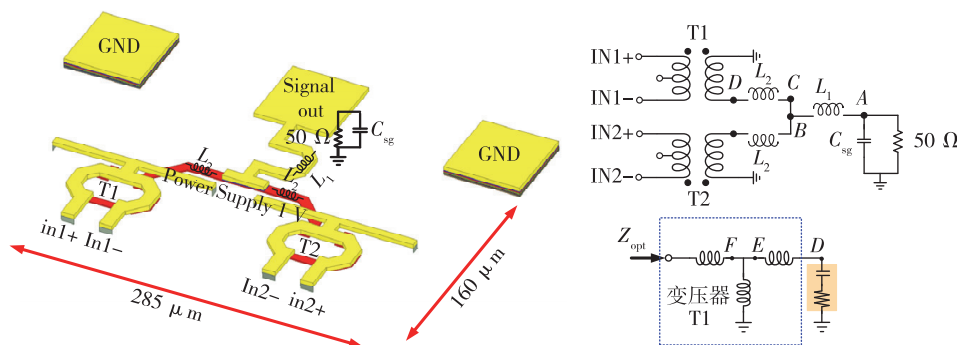


图 4 功率合成网络 3D 模型及其等效电路

Fig. 4 The 3D model of the power combiner and its equivalent circuits

负载阻抗 Z_{opt} 为 $18.1+14j \Omega$, 因此功率合成网络的作用是要将 50Ω 的单端阻抗转换成末级 PA 所需要的差分最佳负载阻抗 Z_{opt} . 变压器 T1 可以用其等效模型表示. A 点为经过 PAD 看到的负载阻抗, B 点为经过一段电感看到的阻抗, C 点为功分后一路看到的阻抗, 即为 B 点阻抗的两倍. D 点为巴伦单端看到的阻抗, 经变压器的阻抗变换后变为 $Z_{opt} = 18.1+14j \Omega$. 阻抗变换的过程显示在图 5 所示的 Smith 圆图中.

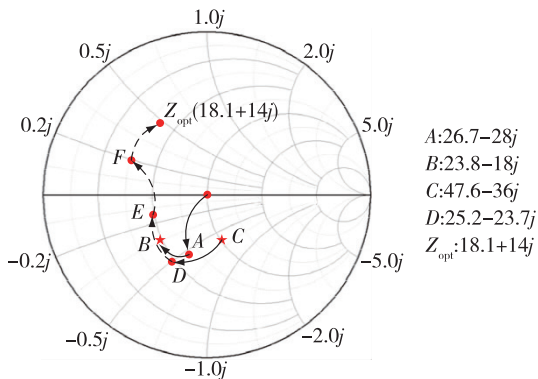


图 5 功率合成网络的阻抗变换过程

Fig. 5 Impedance transformation process of the power combiner

3 仿真结果

基于 65-nm CMOS 工艺实现了 W 波段的功率放大器, 电路版图如图 6 所示. 整体电路采用 ANSYS HFSS 进行 3-D 电磁仿真. 电源电压采用 1 V, 末级 PA 的栅极偏压为 0.7 V, 驱动级的栅极偏压均为 0.6 V, 版图核心面积为 $230 \mu\text{m} \times 500 \mu\text{m}$, 总面积(包含 PAD)为 $750 \mu\text{m} \times 560 \mu\text{m}$, 静态功耗为 350 mW.

图 7a 给出了 PA 的 S 参数后仿结果, 在 1 V 的供电电压下, 实现了 84~104 GHz 的 3-dB 带宽, 峰值

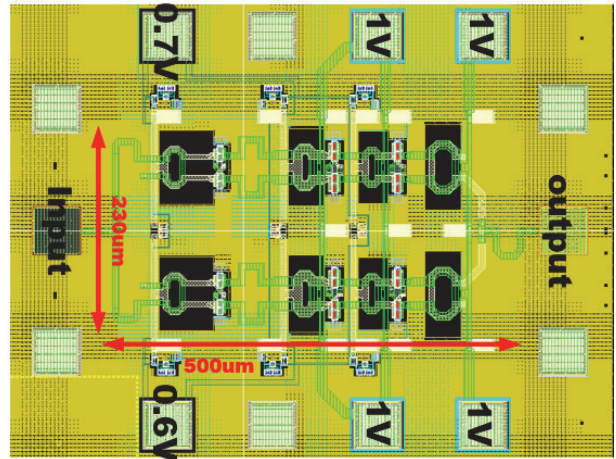


图 6 功率放大器版图
Fig. 6 Layout of the PA

增益为 94.5 GHz 处的 15.7 dB. 在 90~100 GHz 的频率范围内 S_{11} 、 S_{22} 均小于 10 dB, 实现了较好的匹配效果. 图 7b 显示了 PA 在 84、94 和 104 GHz 处的大信号仿真结果, 输出功率和效率均在 94 GHz 处达到了最大, P_{sat} 为 14.6 dBm, OP 1-dB(输出 1-dB 压缩点)为 11.3 dBm, 峰值 PAE 为 9.7%.

为了与其他文献中的测试条件保持一致, 将供电电压加大到 1.2 V 进行了仿真, 供电电压的提升会使得 MOS 管漏极电压摆幅增大, 从而提升输出功率和效率. 仿真结果显示在 94.5 GHz 处, 输出功率和效率均有提升, 输出 1-dB 压缩点上升到了 12.7 dBm, P_{sat} 为 16.3 dBm, 对应的峰值 PAE 达到了 10.7%. 仿真结果如图 8 所示. 与表 1 中其他文献对比, 本文所设计的 PA 在输出功率、效率和芯片面积上都有一定的优势.

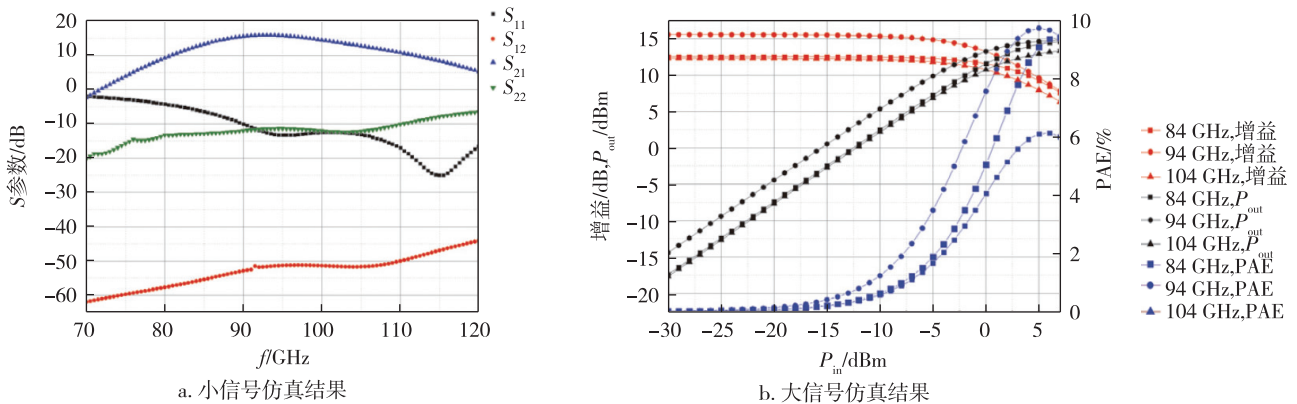


图 7 1 V 供电下的仿真结果

Fig. 7 Simulation results of the PA under 1 V supply

表 1 电路性能比较

Table 1 Comparison of circuit performance

来源	工艺	3-dB 带宽/GHz	增益/dB	P_{sat} /dBm	OP 1-dB/dBm	PAE/%	供电电压/V	面积/mm ²
文献[5]	65-nm CMOS	79~106	12.0	14.8	12.5	8.7	1.2	0.280
文献[6]	65-nm CMOS	101~117	14.1	14.8	11.6	9.4	2.0	0.106
文献[14]	45-nm SOI CMOS	82~97	12.4	19.2		14.0	3.4	0.228
本文	65-nm CMOS	84~104	16.5	16.3	12.7	10.7	1.2	0.115

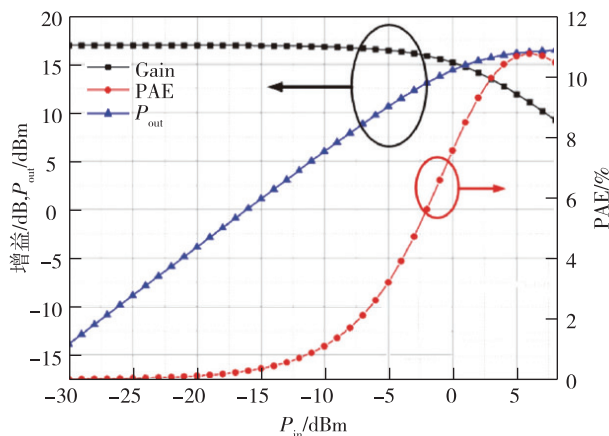


图 8 1.2 V 供电下的大信号性能

Fig. 8 Simulated large signal results under 1.2 V supply

4 结束语

本文基于变压器的阻抗匹配和功率合成的思想,采用 65-nm CMOS 工艺设计了一种高增益、高输出功率的功率放大器.仿试验结果表明该放大器在 84~104 GHz 的范围内实现了大于 12.7 dB 的小信号增益,最大饱和输出功率达到了 14.6 dBm,对应的 PAE 为 9.7%,在增益、带宽、输出功率和效率上都表现出了良好的性能.

参考文献

References

[1] Kang K, Lin F J, Pham D D, et al. A 60-GHz OOK receiver with an on-chip antenna in 90 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2010, 45 (9): 1720-1731

[2] Zhang X N, Chen D, Lu W, et al. A Ku band 4-element phased array transceiver in 180 nm CMOS [C] // 2017 IEEE MTT-S International Microwave Symposium (IMS). June 4-9, 2017, Honolulu, HI, USA. IEEE, 2017: 1595-1598

[3] Tessmann A, Kudzusz S, Feltgen T, et al. Compact single-chip W-band FMCW radar modules for commercial high-resolution sensor applications [J]. IEEE Transactions on Microwave Theory and Techniques, 2002, 50 (12): 2995-3001

[4] Khanpour M, Tang K W, Garcia P, et al. A wideband W-band receiver front-end in 65-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2008, 43 (8): 1717-1730

[5] Tsai K J, Kuo J L, Wang H E. A W-band power amplifier in 65-nm CMOS with 27 GHz bandwidth and 14.8 dBm saturated output power [C] // 2012 IEEE Radio Frequency Integrated Circuits Symposium. June 17-19, 2012, Montreal, QC, Canada. IEEE, 2012: 69-72

[6] Gu Q J, Xu Z W, Chang M C F. Two-way current-combining W-band power amplifier in 65-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2012, 60 (5): 1365-1374

[7] Vigilante M, Reynaert P. A wideband class-AB power amplifier with 29-57 GHz AM-PM compensation in 0.9 V 28 nm bulk CMOS [J]. IEEE Journal of Solid-State Circuits, 2018, 53 (5): 1288-1301

[8] El-Aassar O, Rebeiz G M. A 7 A compact DC-to-108 GHz stacked-SOI distributed PA/driver using multi-drive inter-stack coupling, achieving 1.525 THz GBW, 20.8 dBm peak P1dB, and over 100 Gb/s in 64-QAM and PAM-4 modulation [C] // 2019 IEEE International Solid-State Circuits Conference- (ISSCC). February 17-21, 2019, San Francisco, CA, USA. IEEE, 2019: 86-88

[9] Larocca T, Chang M C F. 60 GHz CMOS differential and transformer-coupled power amplifier for compact design [C] // 2008 IEEE Radio Frequency Integrated Circuits Symposium. June 15-17, 2008, Atlanta, GA, USA. IEEE, 2008: 65-68

[10] Jin S S, Moon K, Kwon M, et al. Development of a highly efficient and linear differential CMOS power amplifier with harmonic control [C] // 2013 Asia-Pacific Microwave Conference Proceedings (APMC). November 5-8, 2013, Seoul, Korea (South). IEEE, 2013: 757-759

[11] Zhao D X, Reynaert P. A 60-GHz dual-mode class AB power amplifier in 40-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2013, 48 (10): 2323-2337

[12] Ali S N, Agarwal P, Gopal S, et al. Transformer-based predistortion linearizer for high linearity and high modulation efficiency in mm-wave 5G CMOS power amplifiers [J]. IEEE Transactions on Microwave Theory and Techniques, 2019, 67 (7): 3074-3087

[13] Li T W, Huang M Y, Wang H. Millimeter-wave continuous-mode power amplifier for 5G MIMO applications [J]. IEEE Transactions on Microwave Theory and Techniques, 2019, 67 (7): 3088-3098

[14] Agah A, Jayamon J A, Asbeck P M, et al. Multi-drive stacked-FET power amplifiers at 90 GHz in 45 nm SOI CMOS [J]. IEEE Journal of Solid-State Circuits, 2014, 49 (5): 1148-1157

Design of a W-band two-way current-combining power amplifier in 65-nm CMOS

HUANG Zhanqiu¹ ZHANG Xu¹ ZHAO Chenxi¹ KANG Kai¹

¹ School of Electronic Science and Engineering, University of Electronic Science and Technology of China, Chengdu 611731

Abstract A three-stage differential common source structure is used to design a W-band power amplifier based on 65-nm CMOS technology, and two way current-mode power combining structures are used for power combining to increase output power. In order to achieve single-ended to differential conversion, impedance matching, and DC power supply at the same time, the matching network adopts a transformer structure. The simulation results show that under a supply voltage of 1 V, the power amplifier has a small signal gain of 12.7 to 15.7 dB, a 3-dB bandwidth of 84 to 104 GHz, a saturated output power of 14.6 dBm, and a peak power added efficiency of 9.7%. The power amplifier has good large signal performance, and the core area of the chip is only 0.115 mm².

Key words CMOS; power amplifier (PA); power combining; W-band