

# 基于 FPGA 的 FIR 滤波器设计与仿真

刘建成<sup>1</sup> 邹应全<sup>1</sup> 徐伟<sup>1</sup>

## 摘要

介绍了数字滤波器理论及其常见实现方法的基础,提出了一种基于 FPGA 的高效实现方案.该方案采用对称结构,加法、乘法运算和级联技术,利用 FPGA 芯片和 Maxplus 软件对该方案进行了仿真验证.结果表明基于 FPGA 的实现方案速度快、实时性好、节省硬件资源,具有重要的工程应用价值.

## 关键词

数字滤波器;分布式算法;FPGA

中图分类号 TP311

文献标志码 A

## 0 引言

### Introduction

实现数字化是控制系统的重要发展方向,而数字信号处理已在通信、语音、图像、自动控制、雷达、军事、航空航天等领域广泛应用.数字信号处理方法通常涉及变换、滤波、频谱分析、编码解码等处理<sup>[1]</sup>.数字滤波是数字信号处理重要环节,它能满足滤波器对幅度和相位特性的严格要求,克服模拟滤波器所无法解决的电压和温度漂移以及噪声等问题,而有限冲激响应 FIR 滤波器在设计任意幅频特性的同时能够保证严格的线性相位特性.

数字滤波器根据其冲激响应函数的时域特性,可分为无限长冲激响应(IIR)滤波器和有限长冲激响应(FIR)滤波器两种.其中:IIR 滤波器需要执行无限数量卷积,能得到较好的幅度特性,其相位特性是非线性的;FIR 滤波器由有限个采样值组成,其构成的系统总是稳定的,且易于实现线性相位<sup>[1]</sup>.由于在语音信号处理、图像处理、数字通信等传输过程中不能有明显的相位失真,而 FIR 滤波器在满足一定对称条件下可以实现 IIR 滤波器难以实现的线性相位,因而得到广泛应用.滤波器的输出是通过输入采样流与滤波器系数卷积而得到的,在要求高阶滤波、高采样率或两者兼有的应用中,所需算法工作量十分庞大,能够提供这种算法的高性能硬件平台——FPGA(Field-Programmable Gate Array)有着规整的内部逻辑阵列和丰富的连线资源,特别适合如 FIR、FFT 等数字信号处理任务.利用 FPGA 可以重复配置高精度的 FIR 滤波器,使用 VHDL 硬件描述语言改变滤波器的系数和阶数,并能实现大量的卷积运算算法<sup>[2]</sup>.结合 Maxplus 工具软件的辅助设计,使得 FIR 滤波器具有快速、灵活、适用性强、硬件资源耗费少等特点.本文详细讨论了利用 FPGA 实现 FIR 滤波器的设计过程,并且对设计中运用的分布式算法进行了详细描述.

## 1 FIR 数字滤波器

### FIR digital filter

有限冲激响应(FIR)数字滤波器和无限冲激响应(IIR)数字滤波器广泛应用于数字信号处理系统中.IIR 数字滤波器方便简单,但它相位的非线性,要求采用全通网络进行相位校正,且稳定性难以保障.FIR 滤波器具有很好的线性相位特性,使得它越来越受到广泛的

收稿日期 2010-03-04

资助项目 南京信息工程大学科研基金(2008-0323)

## 作者简介

刘建成,男,硕士,高级实验师,研究方向为嵌入式处理.ljch3333@163.com

<sup>1</sup> 南京信息工程大学 电子与信息工程学院,南京,210044

重视<sup>[3]</sup>.

FIR 数字滤波器是一个线性时不变系统(LTI),  $N$  阶因果有限冲激响应滤波器可以用传输函数  $H(z)$  来描述为

$$H(z) = \sum_{k=0}^{N-1} h(k)z^{-k}. \quad (1)$$

在时域中,上述有限冲激响应滤波器的 FIR 滤波器的数学表达式为

$$y(n) = h[n] \cdot x[n] = \sum_{k=0}^{N-1} h(k)x(n-k). \quad (2)$$

式(2)中: $x[n]$ 和 $y(n)$ 分别是输入和输出序列; $N$ 表示 FIR 滤波器的抽头数; $y(n)$ 表示第  $n$  时刻的输出样本; $h(k)$ 表示 FIR 滤波器的第  $k$  级抽头系数; $x(n-k)$ 表示延时  $k$  个抽头的输入信号.根据式(2)可得 FIR 滤波器的直接型结构,如图 1 所示.

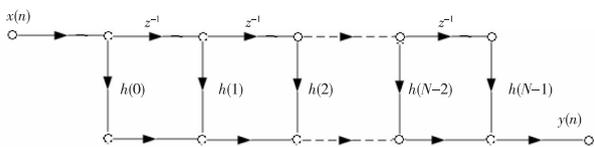


图 1 FIR 滤波器的直接型结构  
Fig. 1 Direct structure of FIR filter

具有线性相位且因果的 FIR 滤波器系数具有对称性质,即  $h(n) = \pm h(N-1-n)$ . 对于偶对称,其结构如图 2 所示.按图 2 实现时可使乘法器的个数减少为  $N/2$  ( $N$  为偶数),从而减少了所需的硬件资源.

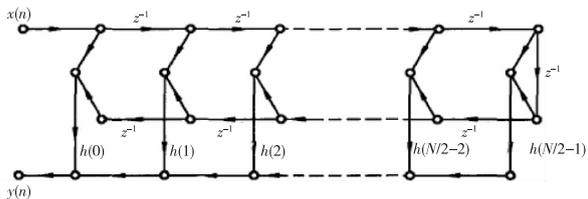


图 2 线性相位 FIR 滤波器  
Fig. 2 Linear phase FIR filter

## 2 分布式算法

### Distributed algorithm

分布式算法是一项重要的 FPGA 技术,广泛应用于计算乘积和之中.一个线性时不变系统的输出可以用下式表示:

$$y = \sum_{n=0}^{N-1} c[n] \cdot x[n]. \quad (3)$$

假设系数  $c[n]$  是已知常数, $x[n]$  是变量,在有符号 DA 系统中假设变量  $x[n]$  的表达式如下:

$$x[n] = -2^{B-1}x_{B-1}[n] + \sum_{b=0}^{B-2} x_b[n] \cdot 2^b. \quad (4)$$

式中: $x_b[n]$ 表示 $x[n]$ 的第 $b$ 位,而 $x[n]$ 也就是 $x$ 的第 $n$ 次采样.于是内积 $y$ 可以表示为

$$y = \sum_{n=0}^{N-1} c[n] \cdot \left[ -2^{B-1} \cdot x_{B-1} + \sum_{b=0}^{B-1} x_b[n] \cdot 2^b \right]. \quad (5)$$

重新分别求和,其结果如下:

$$\begin{aligned} y = & c[0](-x_{B-1}[0]2^{B-1} + x_{B-2}[0]2^{B-2} + \dots + x_0[0]2^0) + \\ & c[1](-x_{B-1}[0]2^{B-1} + x_{B-2}[0]2^{B-2} + \dots + x_0[0]2^0) + \\ & \dots + c[N-1](-x_{B-1}[0]2^{B-1} + x_{B-2}[0]2^{B-2} + \\ & \dots + x_0[0]2^0) = \\ & -(c[0]x_{B-1}[0] + c[1]x_{B-1}[1] + \dots + \\ & c[N-1]x_{B-1}[N-1])2^{B-1} + \\ & (c[0]x_{B-2}[0] + c[1]x_{B-2}[1] + \dots + \\ & c[N-1]x_{B-2}[N-1])2^{B-2} + \dots + \\ & (c[0]x_0[0] + c[1]x_0[1] + \dots + \\ & c[N-1]x_0[N-1])2^0. \end{aligned} \quad (6)$$

从式(6)可以发现,分布式算法是一种以实现乘加运算为目的的运算方法,它与传统算法实现乘加运算的不同在于执行部分积运算的先后顺序不同.该算法可以利用一个查找表(LUT)实现映射,即用一个  $2^N$  字宽、预先编好程序的 LUT 接收一个  $N$  位输入向量  $\mathbf{x}_b = [x_b[0], x_b[1], \dots, x_b[N-1]]$  的映射,经查找表的查找后直接输出部分积.传统算法是等到所有乘积已经产生之后再相加完成乘加运算的,与传统算法相比,分布式算法可极大地减少硬件电路的规模,提高电路的执行速度.分布式算法实现如图 3(虚线为流水线寄存器)所示,算法中的乘以位权  $2^b$  可以通过图中的寄存器和累加器完成.

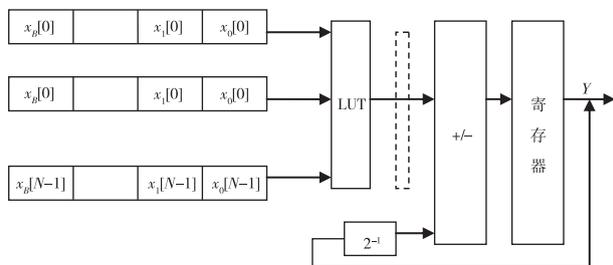


图 3 分布式算法结构

Fig. 3 Distributed algorithm chart

### 3 线性相位 FIR 滤波器设计

#### Linear phase FIR filter design

#### 3.1 设计要求

根据滤波器指标要求在 Matlab 仿真环境下,产生滤波器系数分别为  $-18, -12, 20, 24, -22, -49, 23, 161, 232$ .

在 Maxplus 环境下采用原理图和 VHDL 语言相结合的方式编程,设计一个线性相位 FIR 滤波器. 整个系统包括: 延时模块(用于产生  $x(0), x(1), x(2), \dots, x(16)$ )、符号加法模块、符号乘法模块(系数包含在乘法器内部)、多路加法器模块. 各模块均采用 VHDL 语言设计,乘法器采用分布式算法实现.

设计的输入端输入时钟和数据 2 组信号,设计在时钟的上升沿采样数据,时钟的下降沿输出数据. 输出端数据宽度为 16 位,结果采用补码输出. 如果要求输出为 8 位,则可以截取低 7 位,加上最高位的符号位.

#### 3.2 软件环境和硬件平台选择

根据上述设计思路,顶层模块采用原理图输入,子模块采用 VHDL 语言设计. 在 Altera 公司提供的 FPGA 开发集成环境 Maxplus 下,利用 ACEX1K 系列的可编程器件 EPF1K30QC208-3 芯片分别对子模块和整个系统进行了综合和时序仿真.

#### 3.3 顶层原理图

图 4 为 FPGA 内部的顶层原理. 图 4 中: X\_IN [7..0] 为 8 位的输入信号; SCK 为采样时钟; Result [15..0]

[15..0] 为 16 位的输出结果; INPUT\_DELAY 为延时赋值模块,将 X\_IN [7..0] 输入信号经过 1 个时钟的延时依次赋值给 X0\_OUT [7..0], ..., X16\_OUT [7..0]; TEST\_ADD  $\times 8$  为 8 个加法器模块,由于所设计滤波器为线性相位,滤波器系数是对称的,所以在设计时,将经过不同延时的输入信号进行两两相加; MULTI\_C0...MULTI\_C8 为 9 个 9 位的乘法器模块,分别将输入信号乘以系数  $-18, -12, 20, 24, -22, -49, 23, 161, 232$ ,系数采用 9 位补码形式,其中第 9 位为符号位; TEST\_ADD9 为加法器模块,将运算乘法器产生的 9 路数据相加,得到滤波器输出数据,输出数据格式为 16 位补码形式.

### 4 仿真及结果分析

#### Simulation and analysis

采用冲激输入信号验证滤波器性能,按照滤波器理论,当输入信号为

$$\sigma(t) = \begin{cases} 1, & t = 0; \\ 0, & t \neq 0. \end{cases} \quad (7)$$

输出  $y(n)$  应为  $y(0) = -18, y(1) = -12, y(2) = 20, y(3) = 24, y(4) = -22, y(5) = -49, y(6) = 23, y(7) = 161, y(8) = 232, y(9) = 161, y(10) = 23, y(11) = -49, y(12) = -22, y(13) = 24, y(14) = 20, y(15) = -12, y(16) = -18$ .

根据以上设计方案,在 Maxplus 开发软件下对此 FIR 滤波器进行设计及仿真. 首先利用 VHDL 语言和原理图输入相结合的方式完成设计输入,然后

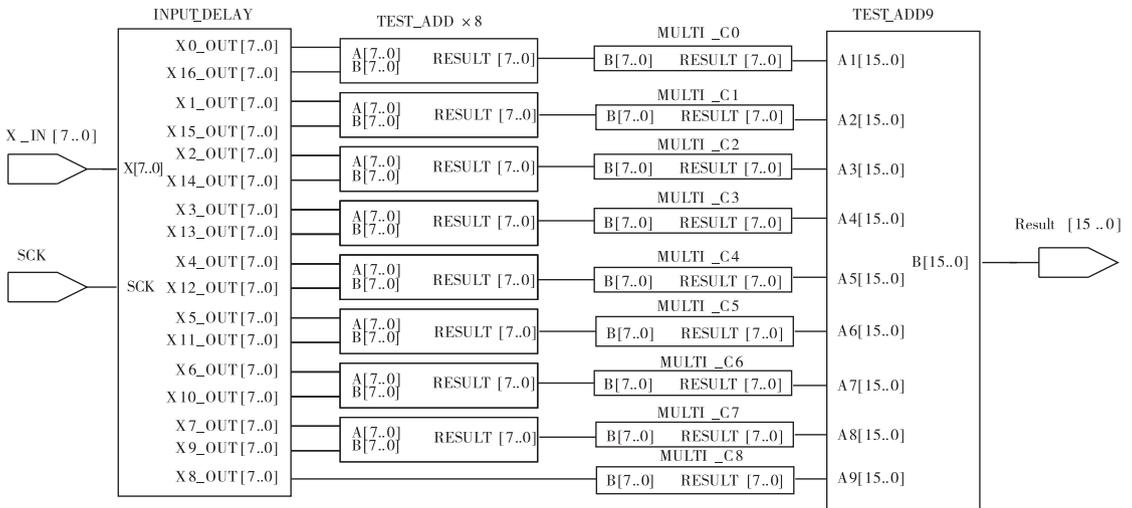
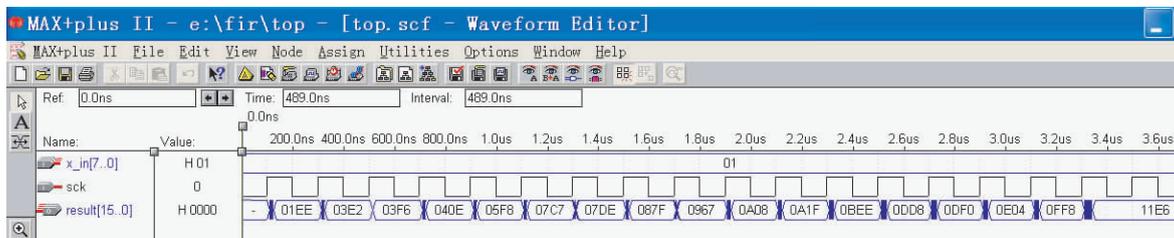
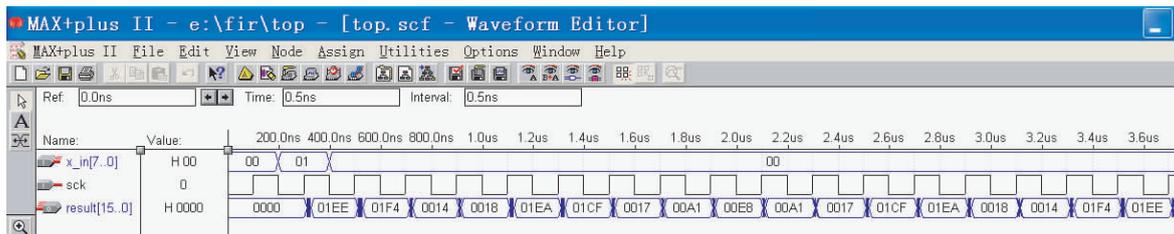


图 4 Maxplus 下的顶层原理

Fig. 4 Top-level schematic diagram in the Maxplus



a.输入常数信号



b.输入冲激信号

图5 仿真波形

Fig. 5 Simulation waveform

利用 Compiler 进行调试编译. 编译通过后, 再利用该软件所提供的 Waveform Editor 进行时序仿真, 得到的时序仿真波形如图 5 所示. 图 5a 为  $x_{in}[7..0] = 01H$  时的仿真结果, 图 5b 为表达式 (7) 的仿真结果.  $result[15..0]$  为滤波器输出信号, 采用补码的形式输出, 第 9 位为符号位, 从仿真结果图 5b 中可以看出, 滤波器的输出结果与表达式 (7) 理论结果是一致的.

利用软件所提供的 Timing Analyzer 进行时间分析, 可知此 FIR 设计方案的信号输出最大延迟在 44 ns 左右, 即系统的最高工作频率为 22.7 MHz. 从程序编译结果中还可得到硬件资源及利用率情况, 实现该 FIR 滤波器共占用 978 个逻辑单元, 逻辑单元利用率为 44%.

由以上结果可以看出, 该设计方案相对于传统设计方法在速度、实时性和资源利用率上都具有很大的优势, 可将其应用于通信系统和信号处理领域.

## 5 结论

### Conclusion

研究了在 FPGA 中采用分布式算法实现 FIR 滤波器的原理和方法, 设计了 FIR 滤波器并借助 Altera 公司的 FPGA 器件 EPF1K30QC208-3 和 Maxplus 软件对设计方案进行仿真验证. 从仿真结果可以看出, 采用分布式算法实现 FIR 滤波器方案是完全可行的.

## 参考文献

### References

- [1] 王静, 鱼云岐. 基于 FPGA 的 FIR 数字滤波器设计与仿真[J]. 国外电子元器件, 2008, 16(11): 90-92  
WANG Jing, YU Yunqi. Design and simulation of FIR digital filter based on FPGA[J]. International Electronic Elements, 2008, 16(11): 90-92
- [2] 徐年, 张剑英. 基于 FPGA 的 FIR 数字滤波器的实现[J]. 煤炭工程, 2007(4): 118-120  
XU Nian, ZHANG Jianying. Practice on FIR digital filter base on FPGA[J]. Coal Engineering, 2007(4): 118-120
- [3] 姚利锋. 一种基于 FPGA 并行流水线的 FIR 滤波器设计方案[J]. 电子技术(上海), 2009, 46(1): 1-3  
YAO Lifeng. A design of FPGA FIR filter based on parallel pipeline[J]. Electronic Technology(Shanghai), 2009, 46(1): 1-3
- [4] 周平, 薛敏彪, 胡永红, 等. 扩频数字接收机匹配滤波器的设计与实现[J]. 微电子学与计算机, 2004, 21(9): 158-160  
ZHOU Ping, XUE Minbiao, HU Yonghong, et al. Design and implementation of matched filter for digital spread spectrum receiver[J]. Microelectronics & Computer, 2004, 21(9): 158-160
- [5] 李伟. FIR 数字滤波器的 FPGA 实现[J]. 计算机与数学工程, 2007, 35(1): 163-165  
LI Wei. Realization of FIR digital filter on FPGA[J]. Computer and Digital Engineering, 2007, 35(1): 163-165
- [6] 胡文静, 陈松, 刘翔. 基于 FPGA 的嵌入式程控数字滤波器实现研究[J]. 电子器件, 2009, 32(6): 1040-1042  
HU Wenjing, CHEN Song, LIU Xiang. Research on the implementation of embedded controlled digital filter based on FPGA[J]. Chinese Journal of Electron Devices, 2009, 32(6): 1040-1042
- [7] 蒋立平, 谭雪琴, 王建新. 一种基于 FPGA 的高效 FIR 滤波器的设计与实现[J]. 南京理工大学学报: 自然科学版, 2007(2): 125-128  
JIANG Liping, TAN Xueqin, WANG Jianxin. Design and implementation of efficient FIR filter based on FPGA[J]. Journal of Nanjing University of Science and Technology: Natural Science, 2007(2): 125-128

[ 8 ] 李亚奇,张雅琦. 线性相位 FIR 数字滤波器[J]. 电子测量技术,2005(6):35-36

LI Yaqi,ZHANG Yaqi. The design of a linear phase FIR digital filter[J]. Electronic Measurement Technology,2005(6):35-36

## Dseign and simulation of FIR digital filter based on FPGA

LIU Jiancheng<sup>1</sup> ZOU Yingquan<sup>1</sup> XU Wei<sup>1</sup>

<sup>1</sup> School of Electronic & Information Engineering,Nanjing University of Information Science & Technology,Nanjing 210044

**Abstract** This paper introduces the theories and common implementation methods of Finite Impulse Response (FIR) digital filter. An efficient implementation design based on FPGA is presented. The design adopts symmetrical structure, addition, multiplication and cascade techniques, and is simulated with the FPGA chip and Maxplus software. The simulation result shows that the design of FIR filter based on FPGA possess advantages like fast operation speed, good real-time performance and less hardware resources. It has important engineering application value.

**Key words** digital filter;distributed algorithm;FPGA